

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-293867

(43)Date of publication of application : 05.11.1996

(51)Int.Cl.

H04L 12/28
H04Q 3/00

(21)Application number : 07-097055

(71)Applicant :

NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 21.04.1995

(72)Inventor :

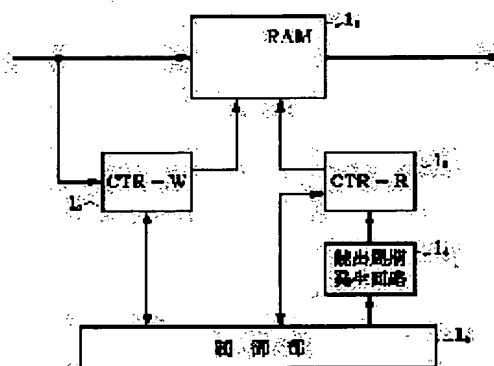
YAMANAKA NAOAKI
GENDA KOICHI
KURIMOTO TAKASHI

(54) CELL INTERVAL CONTROLLER

(57)Abstract:

PURPOSE: To attain miniaturization by providing some threshold values for a cell storing quantity in a buffer and controlling the read-out speed of a reading control circuit corresponding to whether the quantity is over the threshold values or not so as to reduce the too much and too little capacity of the buffer.

CONSTITUTION: The threshold values (Th1 to Th3) are provided for the cell storing quantity Q of buffer RAM 11 so that a control part 15 detects the present quantity Q from the difference between writing and reading addresses by means of reading counters 12 and 13. Next, the control part 15 judges comparing whether the quantity Q is over Th3 or not so as to read a cell by the reading period T4 of a reading period generation circuit 14 when quantity Q is over Th3 and to continuously judge whether quantity Q is over Th2 or not when the quantity Q is not over Th3. Corresponding to this result, the control part 15 reads the cell by a reading period T3 when the quantity Q is over Th1 and next, when the quantity Q is not over Th1, reads the cell by reading periods T2 by judging whether the quantity Q is over Th1 or not. Thereby, the too much and too little capacity of RAM 11 is reduced so that excessive quantity Q is unnecessitated, miniaturization is possible and scrapping cell is reduced.



LEGAL STATUS

[Date of request for examination]

24.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3080351

[Date of registration]

23.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

ができる。さらに、適正なセル間隔を維持することができるため、廃棄されるセルを少なくすることができる。

【0015】

【作用】バッファ内のセル蓄積量にしたがって放出制御回路の放出アドレスの発生を制御する。例えば、放出制御回路の放出アドレスをバッファ内のセル蓄積量に反比例した周りで発生させると、セルがバッファ内に溜まるにつれて読み出し間隔が短くなる。バッファ内の空き領域が増えるにつれて読み出し間隔が長くなる。

【0016】これにより、長く継続したバースト性のセルが到来したときには、速い周りでセルを読み出し、短いバースト性のセルが到来したときには、遅い周りでセルを読み出すことができるため、常時一定速度でセルを読み出す方式に比較すると、バッファ容量を小さくしても同一の結果が得られる処理を行うことができる。

【0017】具体的に、例えば、セル蓄積量にいくつもの閾値を設け、この閾値に対応するセルの読み出し速度を設け、この閾値を超えたか否かを判定することにより読み出し速度を制御すればよい。

【0018】あるいは、バッファ内のセル蓄積量に無段階的に反比例した放出アドレスの発生周期を用いてもよい。

【0019】

【実施例】本発明実施例の構成を図1および図2を参照して説明する。図1は本発明実施例装置のブロック構成図である。図2は本発明実施例のセル間隔制御装置の概念図である。

【0020】本発明は、到来したセルを蓄積するバッファとしてのRAM11と、このRAM11のセル置き込みを制御する書込制御回路としての書込カウンタ11と、このRAM11のセル読み出しを制御する読出し制御回路としての読出カウンタ13および読出周期発生回路11とを備えたセル間隔制御装置1である。

【0021】ここで、本発明の特徴とするところは、RAM11のセル蓄積量にしたがって読出周期発生回路1のセル蓄積量に反比例した読み出し速度を制御する手段を制御部1sに備えたところにある。

【0022】図2に示すように、RAM11のセル蓄積量に三段階の閾値 $T_{h1} \sim T_{h3}$ が設けられ、制御部1sは、この閾値 $T_{h1} \sim T_{h3}$ を超える毎に読出周期を段階的に変更する。

【0023】次に、本発明実施例の動作を図3を参照して説明する。図3は本発明実施例の動作を示すフローチャートである。セルを蓄積するためのバッファであるRAM11には三段階の閾値 $T_{h1} \sim T_{h3}$ を備え、蓄積セル数がある閾値 $T_{h1} \sim T_{h3}$ を超えると、それに伴い読み出しのレート（つまりセル間隔）を高くする。先に述べたように、セル間隔は広いほどバースト性は下がり、トラフィック的に少ないリソースで情報を転送することができる。

【0024】図2に示すように、閾値 T_{h1} 以下ではセル間隔 T_1 、閾値 T_{h1} 以下ではセル間隔 T_2 （ $T_2 < T_1$ ）、閾値 T_{h2} 以下ではセル間隔 T_3 （ $T_3 < T_2$ ）、閾値 T_{h3} を超えるとセル間隔 T_3 を超えるとセル間隔 T_3 （ $T_3 < T_2$ ）、閾値 T_{h3} を超えるとセル間隔 T_3 （ $T_3 < T_2$ ）と設定している。

【0025】図1に示すように、現在のセル蓄積量は制御部1sで判断される。セル読み出し制御の手順は、図3のフローチャートに示した。まず、バッファ内のセル蓄積量を書込アドレスと読出アドレスとの差から算出する（S1）。その算出したバッファ内のセル蓄積量と閾値 T_{h1} とを比較する（S2）。このとき、バッファ内のセル蓄積量が閾値 T_{h1} を超えていなければ、読出周期 T_1 によりセルを読み出す（S6）。バッファ内のセル蓄積量が閾値 T_{h2} を超えていなければ、読出周期 T_2 によりセルを読み出す（S7）。このとき、バッファ内のセル蓄積量が閾値 T_{h3} を超えていなければ、読出周期 T_3 によりセルを読み出す（S8）。このとき、バッファ内のセル蓄積量が閾値 T_{h1} を超えていなければ、読出周期 T_1 によりセルを読み出す（S5）。このように、蓄積セル数に伴って複数の読出周期 $T_1 \sim T_3$ を設定することができる。

【0026】本発明実施例では、閾値を三段階として説明したが、n段階（nは自然数）としても同様に説明することができる。さらに、 $n \rightarrow \infty$ 、すなわち、無段階とすることもできる。図4は無段階とした場合のバッファ内セル数と読出周期 T との関係を示す図である。縦軸はバッファ内セル数をと、横軸に読出周期 T をとる。このように無段階とした場合には、読出周期は、バッファ内セル数に反比例して短くなっており、最も効率的な制御方法となる。この結果、セル間隔制御装置1内のセルの遅延時間は一定となる。

【0027】また、遅延上限を設け、読出周期の最大値を設定したり、バースト性の上限を定め、読出周期の最小値を定め、それ以上はバッファオーバーフローとすることもできる。

【0028】次に、本発明の応用例を図5および図6を参照して説明する。図5は本発明を交換機に適用した例を示す図である。図6は本発明をセルコピー装置に適用した例を示す図である。図5に示すように、多段に接続された交換機間のデータ転送に用いることにより、各段の交換機では、各前段の交換機で可能な限りセル間隔の制御を行っているため、バッファを削減することができる。

【0029】図6に示すように、セルコピー装置の出力に本発明装置を設置することにより、セルコピー装置が

複数のセルを同時に生成させ、バースト性が高いセル列を送出しても、本発明装置により、バースト性を制御することができる。

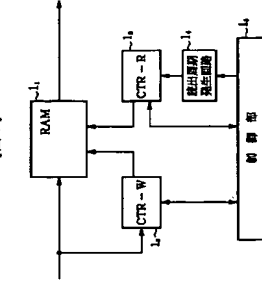
【0030】

【発明の効果】以上に説明したように、本発明によれば、バッファ内のセル蓄積量にしたがってセル送出間隔を制御することができる。したがって、バッファ容量の過不足が緩和され、過大なバッファ容量を備える必要がなく、バッファを小型化することができる。さらに、適正なセル間隔を維持することができるため、廃棄されるセルを少なくすることができる。

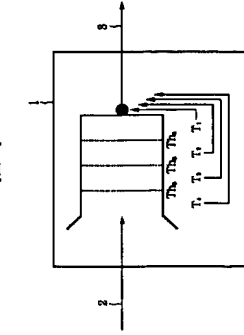
【図面の簡単な説明】

【図1】本発明実施例装置のブロック構成図。
【図2】本発明実施例のセル間隔制御装置の概念図。
【図3】本発明実施例の動作を示すフローチャート。
【図4】無段階とした場合のバッファ内セル数と読出周期 T との関係を示す図。
【図5】本発明を交換機に適用した例を示す図。

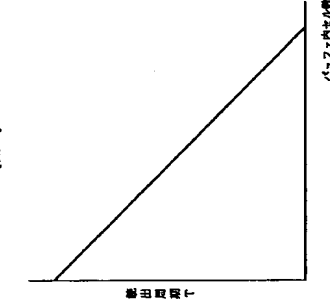
【図1】



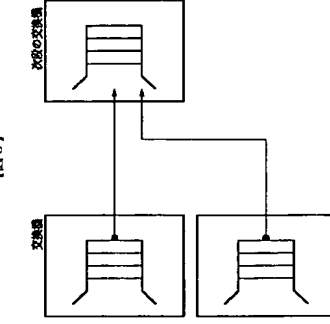
【図2】

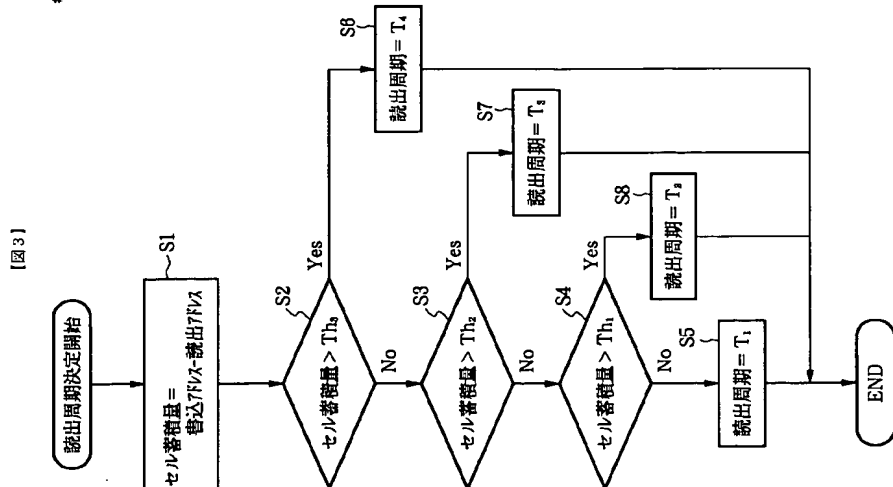
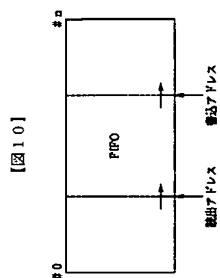
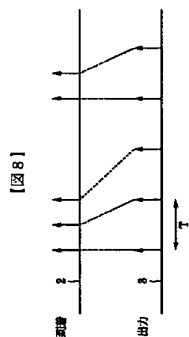
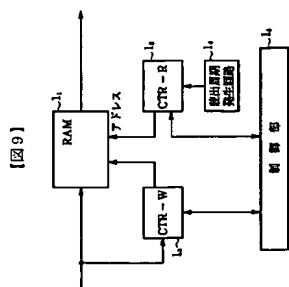


【図4】

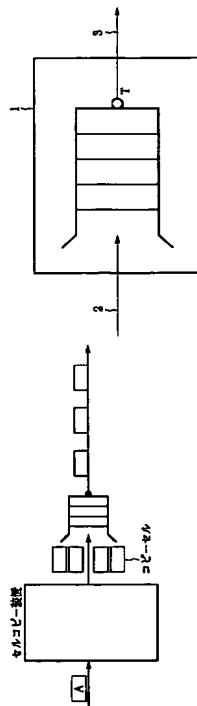


【図5】





【図6】



【図7】

